

TD 4

Exercice 1 :

Utiliser une ROM pour réaliser un additionneur complet de deux nombres de un bit chacun.

Exercice 2 :

Faire le schéma d'un compteur binaire synchrone de 4 bits à l'aide d'une ROM de 16×4 bits.

Exercice 3 :

On désire réaliser une FIFO qui peut être lue par deux processeurs (P0, P1). Les mots de la FIFO sont composés de deux champs (Données, Numéro du processeur). Lorsqu'un mot est écrit dans la FIFO les deux champs sont écrits en même temps. La lecture dans la FIFO est réalisée par un circuit logique qui vérifie le numéro du processeur qui demande la lecture. (Attention : Les deux processeurs peuvent demander la lecture en même temps).

Questions :

- 1) Représenter par un schéma les entrées et les sorties du circuit logique ainsi que les différentes connexions avec le bus de données et les différents processeurs avec la FIFO.
- 2) Représenter la table de vérité du circuit logique.

Exercice 4 :

Soit une mémoire associative contenant des entiers positifs de 32 bits. On désire connaître le plus grand nombre (max) contenu dans la mémoire.

Exercice 5 :

Soit une mémoire associative dont tous les mots sont des entiers positifs de 64 bits. Donner un algorithme de recherche du plus petit nombre contenu dans la mémoire.